

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

009291711 **Image available**

WPI Acc No: 1992-419120/199251

XRPX Acc No: N92-319610

Liquid crystal display using thin film transistor array substrate - forms gate electrodes and source electrodes in one layer while forming source-drain electrodes and gate electrode wiring in other layer

NoAbstract

Patent Assignee: MITSUBISHI ELECTRIC CORP (MITQ)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4313729	A	19921105	JP 9176069	A	19910409	199251 B

Priority Applications (No Type Date): JP 9176069 A 19910409

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 4313729	A	6	G02F-001/1343	

Title Terms: LIQUID; CRYSTAL; DISPLAY; THIN; FILM; TRANSISTOR; ARRAY; SUBSTRATE; FORM; GATE; ELECTRODE; SOURCE; ELECTRODE; ONE; LAYER; FORMING;

SOURCE; DRAIN; ELECTRODE; GATE; ELECTRODE; WIRE; LAYER;

NOABSTRACT

Derwent Class: P81; U14

International Patent Class (Main): G02F-001/1343

International Patent Class (Additional): G02F-001/136; H01L-021/336; H01L-027/12

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

03948629 **Image available**
LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: **04-313729** [JP 4313729 A]
PUBLISHED: November 05, 1992 (19921105)
INVENTOR(s): KAWAMOTO AKIRA
APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or
Corporation), JP (Japan)
APPL. NO.: 03-076069 [JP 9176069]
FILED: April 09, 1991 (19910409)
INTL CLASS: [5] G02F-001/1343; G02F-001/136; H01L-027/12; H01L-021/336;
H01L-029/784
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)
JAPIO KEYWORD:R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
MATERIALS -- Glass Conductors)
JOURNAL: Section: P, Section No. 1505, Vol. 17, No. 138, Pg. 149,
March 22, 1993 (19930322)

ABSTRACT

PURPOSE: To obtain the liquid crystal display device lowered in the resistance of a gate wiring without adding the gate wirign by one layer.

CONSTITUTION: The display device constitutes a characteristic feature of forming gate electrodes 2A, 3A and a source electrode wiring 1 by the one layer, forming a source electrode 1A, a drain electrode 8 and gate electrode wirings 2, 3 by the different one layer, and connecting the gate electrodes 2A, 3A and the gate electrode wirings 2, 3, and the source electrode 1A and the source electrode wiring 1 through contact holes 23-27, respectively. By using a low resistance material for the gate electrode wirings 2, 3, the resistance of a gate wiring can be lowered.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-313729

(43) 公開日 平成4年(1992)11月5日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1343		9018-2K		
1/136	5 0 0	9018-2K		
H 0 1 L 27/12	A	8728-4M		
21/336		9056-4M		
			H 0 1 L 29/ 78	3 1 1 P

審査請求 未請求 請求項の数 1 (全 6 頁) 最終頁に続く

(21) 出願番号 特願平3-76069

(22) 出願日 平成3年(1991)4月9日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 川元 暁

兵庫県尼崎市塚口本町8丁目1番1号 三

菱電機株式会社材料研究所内

(74) 代理人 弁理士 高田 守 (外1名)

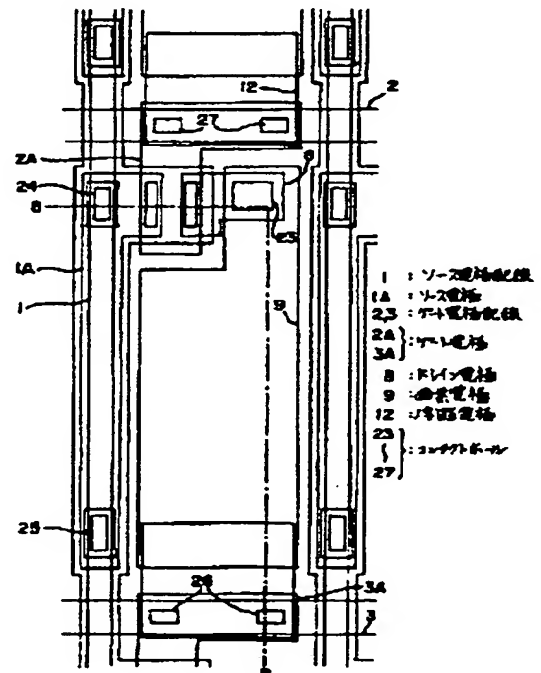
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 ゲート配線を一層追加することなく、ゲート配線を低抵抗化した液晶表示装置を得る。

【構成】 ゲート電極とソース電極配線を同一層にて形成し、ソース電極とドレイン電極とゲート電極配線とを別の同一層にて形成し、ゲート電極とゲート電極配線およびソース電極とソース電極配線をそれぞれコンタクトホールを介して接続することを特徴としている。

【効果】 ゲート電極配線に低抵抗材料を使用し、ゲート配線を低抵抗化できる。



1

(2)

(2)

2

【特許請求の範囲】

【請求項1】 透明絶縁基板上にソース電極配線と並設され各画素ごとにソース電極配線と接続された複数のゲート電極と、このゲート電極に交差する複数のソース電極と、ソースドレイン電極と並設されソース電極と各画素ごとに接続されたゲート電極配線と、上記ゲート電極と上記ソース電極との交差部に設けられ上記ゲート電極とソース・ドレイン電極とからなる薄膜トランジスタの上記ドレイン電極に接続された画素電極とを有する薄膜トランジスタアレイ基板と、この薄膜トランジスタアレイ基板に対向して設けられた対向電極基板と、この対向電極基板と上記薄膜トランジスタアレイ基板の間に挟持される液晶表示材料とを備えた液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、TFT (Thin Film Transistor: 薄膜トランジスタ) アレイ基板を用いた液晶表示装置において、高品質化するためにゲート配線を低抵抗化を可能とする配線構成を備えた液晶表示装置に関するものである。

【0002】

【従来の技術】液晶表示装置は、通常2枚の対向する基板の間に液晶等の表示材料が挟持され、この表示材料に電圧を印加する方法で構成される。この際、少なくとも一方の基板にマトリクス状に配列した画素電極を設け、画素を選択的に動作するために、各画素ごとに電界効果トランジスタ (FET) などの非線形特性を有する能動素子を設けている。さらに、画質を向上するために、各画素ごとに電荷保持容量を設けている。

【0003】図6は、例えば、特開昭64-26822号公報に示された従来の液晶表示装置に用いられていたTFTアレイ基板の1画素分を示す平面図、図7は、図6のA-A線に沿って切断して示す断面図、図8は、図6の等価回路図である。

【0004】この図6～図8において、1はソース電極配線、2は透明絶縁基板14上に形成されたゲート電極配線、3は透明絶縁基板14に形成された次段のゲート電極配線、4はゲート絶縁膜、5は水素化アモルファスシリコンi層、7は水素化アモルファスシリコンn層、8はドレイン電極、9は画素電極、10は保護膜、18は電荷保持容量、19はAlのゲート配線、35は液晶、38は対向電極である。

【0005】図6、図7の構成は、まず透明絶縁基板14上にCrでゲート電極配線2、ゲート電極配線3を形成する。さらに、ゲート電極配線3上にAlのゲート配線19を形成する。

【0006】その後、ゲート絶縁膜4の形成後、その上に半導体膜5を形成するとともに、ソース電極配線1とドレイン電極8によりTFTを構成し、このTFTと画素電極9によりTFTアレイを構成する。

【0007】前後のゲート電極配線3は、走査された時以外は、一定電位になることを利用して、前段のゲート電極配線3と画素電極9とをゲート絶縁膜4を挟持するようにオーバーラップさせて、電荷保持容量18を形成する。

【0008】これらのTFTアレイ基板に対して、カラーフィルタや透明導電膜を有する対向電極基板の間に液晶等が挟持されて液晶表示装置を構成する。

【0009】

10 【発明が解決しようとする課題】従来の液晶表示装置は以上のように構成されているので、ゲート配線の低抵抗化のためにゲート配線を一層追加して形成するので、工程数が多くなり、コストが高くなる上に、歩留りが低下するという課題があった。

【0010】この発明は、上記のような従来の課題を解消するためになされたもので、層構成を増加することなく配線抵抗を低くすることができるとともに、コストの抑制効果と歩留りの向上が期待できる液晶表示装置を得ることを目的とする。

20 【0011】

【課題を解決するための手段】この発明に係る液晶表示装置は、同一層に形成されたゲート電極およびソース電極配線と、別の同一層に形成されたソースドレイン電極およびゲート電極配線とを設けたものである。

【0012】

【作用】この発明におけるゲート電極配線は、ソース・ドレイン電極材料により形成されるので、AlやAl合金などの低い比抵抗の材料を使用することができ、ゲート配線を低抵抗化可能とする。

30 【0013】

【実施例】以下、この発明の実施例について図面に基づき説明する。図1はその一実施例による液晶表示装置のTFTアレイ基板の1画素分を示す平面図、図2は、図1のB-B線に沿って切断して示す断面図、図3は、図1の等価回路図である。

【0014】図1～図3において、図6～図8の同一符号は同一または相当部分を示す。この図1～図3において、1は透明絶縁基板14上に形成された誘電体膜13上のソース電極配線であり、ソース電極1Aと接続されている。

40

【0015】上記誘電体膜13上には、ゲート電極2Aが形成されており、このゲート電極2Aはゲート電極配線2に接続されている。誘電体膜13上には、次段あるいは前段のゲート電極3Aが形成されており、ゲート電極3A上にゲート電極配線3が接続されている。

【0016】また、誘電体膜13上に画素電極9が形成されており、画素電極9はドレイン電極8に接続されている。これらのソース電極配線1、ゲート電極2A、画素電極9、次段あるいは前段のゲート電極3Aおよび誘電体膜13上には、ゲート絶縁膜4が形成されており、

50

このゲート絶縁膜 4 上に半導体 i 層 5 が形成されており、その上面に上部絶縁膜 6 が形成されている。上部絶縁膜 6 をパターン化した後に半導体 n 層 7 が形成されている。

【0017】これらのゲート絶縁膜 4、半導体 i 層 5、上部絶縁膜 6 を開口して、コンタクトホール 23~27 が形成されている。

【0018】コンタクトホール 23 を通して、画素電極 9 とドレイン電極 8 が接続され、コンタクトホール 24 を通して、ソース電極配線 1 とソース電極 1 A とが接続されている。コンタクトホール 27 を通して図 1 から明らかなように、ゲート電極配線 2 とゲート電極 2 A が接続されている。上面には保護膜 10 が形成されている。

【0019】なお、12 は透明絶縁基板 14 上の浮遊電極であり、また図 3 に示す 15 は TFT、16 はゲート・ドレイン間寄生容量、21、22 は電荷保持容量、35 は液晶、38 は対向電極である。

【0020】次に、この発明の一実施例の製造工程手順について述べる。まず、ガラスなどの透明絶縁基板 14 上に ITO などの透明導電膜を EB (Electron Beam) 蒸着法やスパッタ法などで堆積する。その後、ホトリソ・エッチング等の方法で、アイランド状に浮遊電極 12 を形成する。

【0021】次に、プラズマ CVD 法やスパッタ法などで窒化シリコンあるいは、酸化シリコンあるいは、酸化タンタルあるいは、それらのいずれか 2 層以上の誘電体膜 13 を形成する。

【0022】この後、スパッタ法などにより、ITO などの透明導電薄膜を形成する。その後、ホトリソ・エッチングなどで、この透明導電薄膜による画素電極 9 を形成する。このとき、浮遊電極 12 と画素電極 9 とにより、誘電体膜 13 を挟持しながらオーバーラップさせて、電荷保持容量 21 を形成する。

【0023】次に、スパッタ法などで、誘電体膜 13 上に Cr あるいは、Mo などの金属を堆積する。この後、ホトリソ・エッチングなどで、ゲート電極 2 A、前段あるいは次段のゲート電極 3 A、ソース電極 1 A を形成する。このとき、浮遊電極 12 とゲート電極 3 A とを誘電体膜 13 を挟持しながらオーバーラップさせることで、電荷保持容量 22 を形成する。

【0024】次に、窒化シリコンなどのゲート絶縁膜 4 および水素化アモルファスシリコン i 層などの半導体 i 層 5 および上部絶縁膜 6 を連続してプラズマ CVD 法などにより堆積する。

【0025】その後、上部絶縁膜 6 をパターン加工する。次に、水素化アモルファスシリコン n⁺ 層などの半導体 n⁺ 層 7 をプラズマ CVD 法などで形成した後、パターン加工により、画素電極 9 とドレイン電極 8 とのコンタクトホール 23、ソース電極配線 1 とソース電極 1 A

とのコンタクトホール 24、ゲート電極 2 A とゲート電極配線 2 とのコンタクトホール 27 を形成する。

【0026】次いで、Cr などのバリアメタルと Al、Mo などの導電性薄膜をスパッタ法などで堆積し、ソース電極 1 A とドレイン電極 8 にパターン加工する。

【0027】さらに、不要な半導体 n⁺ 層 7 および、半導体 i 層 5 をドライエッチングなどでエッチオフし、最後に窒化シリコン膜あるいは、酸化シリコン膜あるいは、5 酸化タンタルなどをプラズマ CVD 法やスパッタ法などで堆積し、パターン加工して保護膜 10 とする。

【0028】このように形成された TFT アレイ基板と、透明電極およびカラーフィルタなどを有する対向電極基板との間に液晶 35 などの液晶表示材料が挟持され、液晶表示装置が製造される。

【0029】なお、上記実施例では、浮遊電極 12 として透明導電膜を用いた場合について説明したが、表示上差し支えなければ、金属膜などの不透明導電膜を用いてもよい。

【0030】また、上記実施例では、TFT 構成に上部絶縁膜 6 を用いた場合について示したが、図 4 の平面図、図 5 (図 4 の C-C 線の断面図) に示した TFT 構成に上部絶縁膜を用いない TFT 構成であってもよい。

【0031】なお、図 5 に示す 17 は TFT 構成上の保護膜 10 上に形成された遮光膜である。

【0032】

【発明の効果】以上のように、この発明によれば、ゲート電極とソース配線を同一層にて形成するとともに、ソース電極・ドレイン電極とゲート電極配線とを別の同一層にて形成し、ゲート電極とゲート電極配線 2 ならびにソース電極とソース電極配線 1 をそれぞれコンタクトホールを介して接続する構成としたので、ソース・ドレイン電極材料によってゲート配線を形成できる。

【0033】したがって、ソース・ドレイン電極材料に Al などの低抵抗材料を用いることによって、ゲート電極配線の抵抗を小さくすることができるという効果がある。

【図面の簡単な説明】

【図 1】この発明の一実施例による液晶表示装置の TFT アレイ基板の 1 画素分を示す平面図である。

【図 2】図 1 の B-B 線に沿って切断して示す断面図である。

【図 3】図 1 の等価回路図である。

【図 4】この発明の他の実施例の液晶表示装置の TFT アレイ基板の 1 画素分を示す平面図である。

【図 5】図 4 の C-C 線に沿って切断して示す断面図である。

【図 6】従来の液晶表示装置に用いられていた TFT アレイ基板の 1 画素分を示す平面図である。

【図 7】図 6 の A-A 線に沿って切断して示す断面図である。

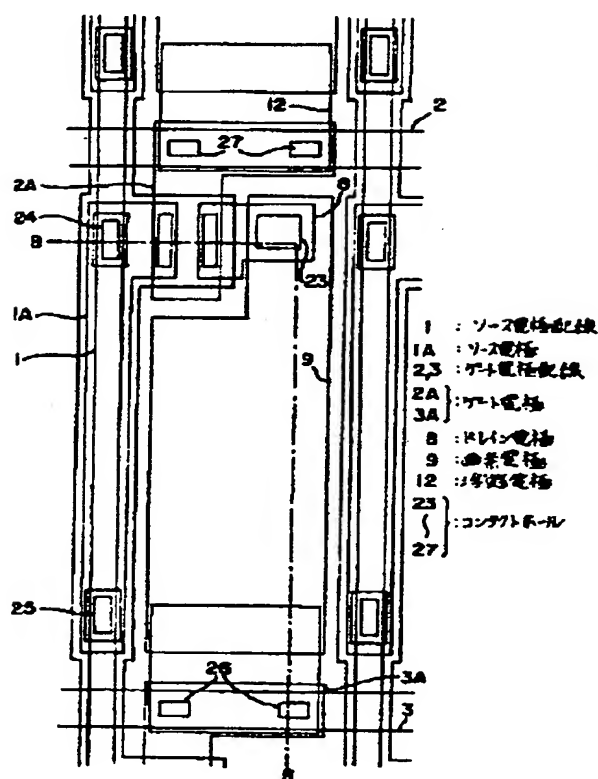
5

【図8】図6の等価回路図である。

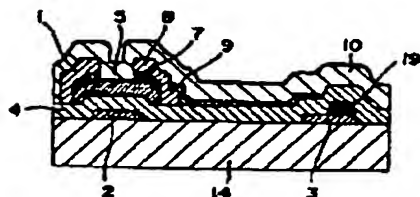
【符号の説明】

- 1 ソース電極配線
- 1A ソース電極
- 2, 3 ゲート電極配線
- 2A, 3A ゲート電極
- 4 ゲート絶縁膜
- 5 半導体 i 層
- 6 上部絶縁膜
- 7 半導体 n⁻ 層
- 8 ドレイン電極
- 9 図素電極

【图 1】



【圖 7】



(4)

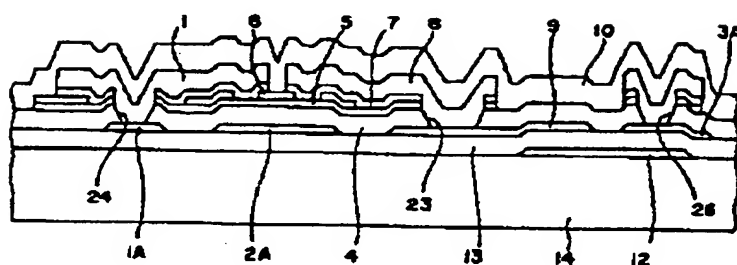
(4)

- 10 保護膜
- 12 浮遊電極
- 13 誘電体膜
- 14 透明絶縁基板
- 15 TFT
- 16 寄生容量
- 17 遮光膜
- 21, 22 電荷保持容量
- 23~27 コンタクトホール
- 35 液晶
- 38 対向電極

特開平 4-3 1 3 7 2 9

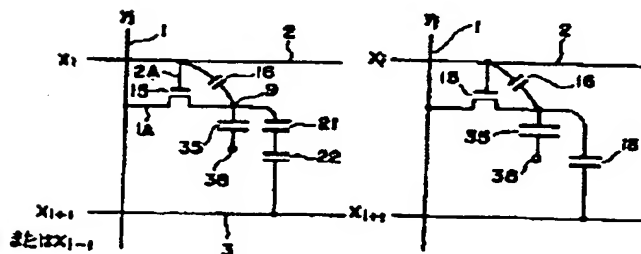
6

【图 2】



- | | |
|-----------|------------|
| 4: 丁-1絕緣膜 | 10: 保護膜 |
| 5: 半導體層 | 12: 誘導電極 |
| 6: 上部絕緣膜 | 13: 誘電體膜 |
| 7: 半導體層 | 14: 透明絕緣基板 |

【圖 3】



【图 8】

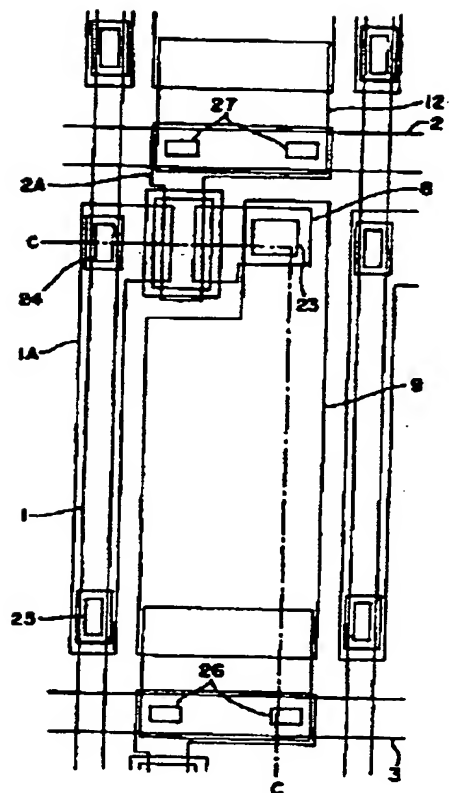
- 15: TFT
16: 寄生容量
35: 液品
38: 双向电压
21, 22: 电荷保持容量

(5)

特開平4-313729

(5)

【図4】



(6)

特開平4-313729

と上記ソース電極との交差部に設けられ上記ゲート電極とソース・ドレイン電極とからなる薄膜トランジスタの
上記ドレイン電極に接続された画素電極とを有する薄膜
トランジスタアレイ基板と、この薄膜トランジスタア
レイ基板に対向して設けられた対向電極基板と、この対向
電極基板と上記薄膜トランジスタアレイ基板の間に挟持
される液晶表示材料とを備えた液晶表示装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】次に、この発明の一実施例の製造工程手順
について述べる。まず、ガラスなどの透明絶縁基板14
上にITOなどの透明導電膜をEB (Electron Beam) 蒸
着法やスパッタ法などで堆積する。この後、写真製版・
エッチング等の方法で、アイランド状に浮遊電極12を
形成する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】この後、スパッタ法などにより、ITOな
どの透明導電薄膜を形成する。その後、写真製版・エッ

(6)

チングなどで、この透明導電薄膜による画素電極9を形
成する。このとき、浮遊電極12と画素電極9とによ
り、誘電体膜13を挟持しながらオーバーラップさせ
て、電荷保持容量21を形成する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】次に、スパッタ法などで、誘電体膜13上
にCrあるいは、Moなどの金属を堆積する。この後、
写真製版・エッチングなどで、ゲート電極2A、前段あ
るいは次段のゲート電極3A、ソース電極配線1を形成
する。このとき、浮遊電極12とゲート電極3Aとを誘
電体膜13を挟持しながらオーバーラップさせること
で、電荷保持容量22を形成する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】次いで、CrなどのバリアメタルとAl、
Moなどの導電性薄膜をスパッタ法などで堆積し、ゲー
ト電極配線2、3とソース電極1Aとドレイン電極8に
パターン加工する。

フロントページの続き

(51) Int. Cl. 5

識別記号

庁内整理番号

F I

技術表示箇所

H01L 29/784